

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069522

(43)Date of publication of application : 11.03.1997

(51)Int.Cl.

H01L 21/3205  
H01L 21/304

(21)Application number : 07-224954

(71)Applicant : FUJITSU LTD

(22)Date of filing : 01.09.1995

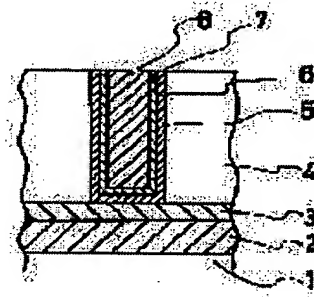
(72)Inventor : OKAMOTO SHIGERU

## (54) FORMATION OF BURIED CONDUCTIVE LAYER

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the growth rate of Cu layer while improving step coverage at the time of forming a buried Cu layer in a recess.

SOLUTION: A barrier metal layer 6 is formed in a recess 5 made in an insulation layer 4 and a thin seed layer 7 of Cu is formed thereon by coating the barrier metal layer 6 with independently diffused ultrafine particles of Cu. The surface of Cu is then reduced through oxygen reduction and the recess 5 is filled with a Cu layer 8 deposited by CVD. Finally, the unnecessary parts of barrier metal layer 6, thin seed layer 7 and Cu layer 8 are removed by mechano chemical polishing.



## LEGAL STATUS

[Date of request for examination]

11.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69522

(43) 公開日 平成9年(1997)3月11日

(51) Int. Cl. <sup>4</sup>	識別記号	片内整理番号	P I	技術表示箇所
H 0 1 L 21/3205			H 0 1 L 21/88	J
21/304	3 2 1		21/304	S 2 1 S
			21/88	Q
				R

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号	特願平7-224954	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成7年(1995)9月1日	(72) 発明者	岡本 茂 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 柏谷 昭司 (外1名)

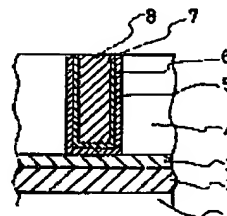
(54) 【発明の名称】 埋め込み導電層の形成方法

(57) 【要約】

【課題】 埋め込み導電層の形成方法に関し、凹部内に埋め込みCu層を形成する際に、Cu層の成長速度を大きくし、且つ、段差被覆性を改善する。

【解決手段】 絶縁層4に設けた凹部5に形成したバリヤメタル層6上に、Cuの独立分散超微粒子を塗布してCu薄膜からなるシード層7を形成したのち、水素還元によってCu薄膜を表面を還元し、次いで、化学気相成長法によってCu層8を堆積させて凹部5を埋め込んだのち、バリヤメタル層6、シード層7、及び、Cu層8の不要部分を化学機械研磨することによって除去する。

本発明の原理的構成の説明図



1: 半導体基板  
2: 下地絶縁層  
3: 配線層  
4: 絶縁層  
5: 凹部  
6: バリヤメタル層  
7: シード層  
8: Cu層

## 【特許請求の範囲】

【請求項1】 絶縁層に設けた凹部に形成したバリヤメタル層上に、Cuの独立分散超微粒子を塗布してCu薄膜からなるシード層を形成したのち、水素還元によって前記Cu薄膜を表面を還元し、次いで、化学気相成長法によってCu層を堆積させて前記凹部を埋め込んだのち、前記バリヤメタル層、前記シード層、及び、前記Cu層の不要部分を化学機械研磨することによって除去することを特徴とする埋め込み導電層の形成方法。

【請求項2】 絶縁層に設けた凹部に形成したバリヤメタル層上に、Auの独立分散超微粒子を塗布してAu薄膜からなるシード層を形成したのち、化学気相成長法によってCu層を堆積させて前記凹部を埋め込み、次いで、前記バリヤメタル層、前記シード層、及び、前記Cu層の不要部分を化学機械研磨することによって除去することを特徴とする埋め込み導電層の形成方法。

【請求項3】 絶縁層に設けた凹部に形成したバリヤメタル層上に、ポリマーシジョンスパッタリング法を用いてCu薄膜またはAu薄膜からなるシード層を形成したのち、化学気相成長法によってCu層を堆積させて前記凹部を埋め込み、次いで、前記バリヤメタル層、シード層、及び、Cu層の不要部分を化学機械研磨することによって除去することを特徴とする埋め込み導電層の形成方法。

【請求項4】 絶縁層に設けた凹部に形成したバリヤメタル層上に、ターゲットと被処理基板との間隔が10cm以上のロングスロースパッタリング法を用いてCu薄膜またはAu薄膜からなるシード層を形成したのち、化学気相成長法によってCu層を堆積させて凹部を埋め込み、次いで、前記バリヤメタル層、前記シード層、及び、前記Cu層の不要部分を化学機械研磨することによって除去することを特徴とする埋め込み導電層の形成方法。

【請求項5】 上記シード層の厚さが、50～200Åであることを特徴とする請求項1乃至4のいずれか1項に記載の埋め込み導電層の形成方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は埋め込み導電層の形成方法に関するものであり、特に、エレクトロマイグレーション耐性の高いCuを用いた埋め込み配線層の形成方法に関するものである。

【0002】

【従来の技術】 近年、半導体装置の高集積化、或いは、高速化に伴って、信号遅延を低減するために配線層の低抵抗化が要請されており、従来のAl配線層に替わるものとしてAlより抵抗率が小さく、且つ、エレクトロマイグレーション耐性がAlの約2倍であるCuの使用が検討されている。

【0003】 しかし、一般に微細な配線層を形成する場

合にはドライ・エッチングを施す必要があるが、Cuの場合にはCuのハロゲン化物の蒸気圧が低いため従来のRIE（反応性イオンエッチング）法では低温において十分なエッチングレートが得られないという問題があり、また、異方性エッチングが困難であるという問題もあった。

【0004】 このような問題を解決するために、セルフアライン技法を用いたダマシン（damascene）法と呼ばれる方法が検討されている。このダマシン法とは、絶縁層に設けた配線パターンに沿った溝、及び、コンタクトホールにCu層を堆積させたのち、上部の不要部分を化学機械研磨（Chemical Mechanical Polishing: CMP）によって除去することによって埋め込み導電層を形成する方法である。

【0005】 なお、この場合の溝或いはコンタクトホール内にCuを堆積させる方法としては、段差被覆性（ステップ・カヴァレッジ）の優れているCVD（化学気相成長）法、或いは、段差被覆性の劣るスパッタリング法とその後のリフローの組合せが用いられており、特に、前者のCVD法は後者のスパッタリング法に比べて段差被覆性に優れていることから、現在より微細化の進む将来の半導体装置のCu配線層の形成方法として期待されている。

【0006】 また、ダマシン法でCu配線層を形成する場合には、CuはSiO<sub>2</sub>中を容易に拡散しシリコン半導体中で深い準位を形成して少数キャリアの寿命を縮めるので、Cuの拡散を防止するために、SiO<sub>2</sub>層とCu層の間にTiN層等のバリヤメタル層を介在させており、このTiN層等のバリヤメタル層の上に直接Cu層を成長させていた。

【0007】

【発明が解決しようとする課題】 このようなTiN層等のバリヤメタル層上にCVD法によりCu層を成長させる場合、成長速度が遅く、バリヤメタル層によってはほとんど成長しないことがあり、また、平坦部では成長するようなバリヤメタル層を用いた場合にもコンタクトホール等の凹部内ではほとんどCu層が成長しないという現象も確認されている。

【0008】 これに対して、バリヤメタル層上にスパッタリング法によってCu薄膜を成膜したのち、CVD法によってCu層を成長させると成長速度は増加するが、配線形成用の溝またはコンタクトホールを埋め込む場合、通常のスパッタリング法ではカヴァレッジに限界があり、効果はそれ程期待できないものであった。

【0009】 したがって、本発明は、凹部内に埋め込みCu層を形成する際に、Cu層の成長速度を大きくし、且つ、段差被覆性を改善することを目的とする。

【0010】

【課題を解決するための手段】 図1は本発明の原理的構

3

成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。なお、図1における符号1、2、3は夫々半導体基板、下地絶縁層、及び、配線層を表す。

【0011】図1参照

(1) 本発明は、埋め込み導電層の形成方法において、絶縁層4に設けた凹部5に形成したバリヤメタル層6上に、Cuの独立分散超微粒子を塗布してCu薄膜からなるシード層7を形成したのち、水素還元によってCu薄膜8を堆積させて凹部5を埋め込んだのち、バリヤメタル層6、シード層7、及び、Cu層8の不要部分を化学機械研磨することによって除去することを特徴とする。

【0012】(2) また、本発明は、埋め込み導電層の形成方法において、絶縁層4に設けた凹部5に形成したバリヤメタル層6上に、Auの独立分散超微粒子を塗布してAu薄膜からなるシード層7を形成したのち、化学気相成長法によってCu層8を堆積させて凹部5を埋め込み、次いで、バリヤメタル層6、シード層7、及び、Cu層8の不要部分を化学機械研磨することによって除去することを特徴とする。

【0013】(3) また、本発明は、埋め込み導電層の形成方法において、絶縁層4に設けた凹部5に形成したバリヤメタル層6上に、コリメーションスパッタリング法を用いてCu薄膜またはAu薄膜からなるシード層7を形成したのち、化学気相成長法によってCu層8を堆積させて凹部5を埋め込み、次いで、バリヤメタル層6、シード層7、及び、Cu層8の不要部分を化学機械研磨することによって除去することを特徴とする。

【0014】(4) また、本発明は、埋め込み導電層の形成方法において、絶縁層4に設けた凹部5に形成したバリヤメタル層6上に、ターゲットと被処理基板との間隔が10cm以上のロングスロースパッタリング法を用いてCu薄膜またはAu薄膜からなるシード層7を形成したのち、化学気相成長法によってCu層8を堆積させて凹部5を埋め込み、次いで、バリヤメタル層6、シード層7、及び、Cu層8の不要部分を化学機械研磨することによって除去することを特徴とする。

【0015】(5) また、本発明は、上記(1)乃至(4)のいずれかにおいて、シード層7の厚さを50～200Åにしたことを特徴とする。

【0016】この様なシード層7は、所謂ルイス塩基(Lewis base)として働いて電子供与体となり、CVD法におけるCuを含む前駆体(プリカーサ)に電子を放出して結合性軌道を形成する。

【0017】そして、プリカーサ側は所謂ルイス酸(Lewis acid)として働き電子受容体となり、反結合性軌道が生じてプリカーサの分子構造内の結合切断が起こり、その結果Cu層が析出する。

4

【0018】そして、このシード層7からの電子の供給が多いほど、即ち、シード層7の金属性が強い程、インキューベーションタイム(堆積工程の開始から実際に膜の堆積が始まるまでの遅延時間)が短かく、Cu層の成長速度が大きくなる。

【0019】本発明においては、このシード層7をCuの独立分散超微粒子を塗布して形成したCu薄膜、Auの独立分散超微粒子を塗布して形成したAu薄膜、或いは、コリメーションスパッタリング法またはロングスロースパッタリング法を用いて形成したCu薄膜またはAu薄膜で構成することによって、通常のスパッタリング法を用いるよりも段差被覆性において優れており、配線層形成用の溝或いはコンタクトホール等の凹部5内部にCu層8を再現性良く、且つ、大きな成長速度で形成することができる。

【0020】

【発明の実施の形態】本発明の第1の発明の実施の形態の製造工程を図2及び図3を参照して説明する。なお、本発明の実施に用いている各反応装置の内容積は40～80リットルである。

【0021】図2(a)参照

まず、6インチ(約15cm)の(100)面を主面とするシリコン基板11上に、下地絶縁層となるSiO<sub>2</sub>層12及びW配線層13を介してプラズマCVD法を用いて600nmのSiO<sub>2</sub>層12を堆積させたのち、0.6μmの厚さのフォトレジストを塗布し、次いで、露光(365nm)を用いて露光・パターンニングして形成したフォトレジストパターンをマスクとしてエッチングすることによって幅0.5μmで、深さ1μmのアスペクト比が2のコンタクトホール15をW配線層13に達するように形成する。

【0022】なお、この場合のSiO<sub>2</sub>層12は、TEOS(Tetra-Ethyl-Ortho-Silicate)-SiO<sub>2</sub>層、SOG(Spin-on Glass)層、或いは、PSG(Phospho-Silicate Glass)層を用いても良いし、または、シリコン基板11の表面を熱酸化して形成しても良い。

【0023】また、配線層はW配線層に限られるものではなく、Al、或いは、TiNを用いても良いものであり、さらに、TiN/W/TiN、或いは、TiN/Al/TiNからなる3層構造配線層を用いても良いものである。

【0024】図2(b)参照

次いで、TiCl<sub>4</sub>を10～20sccm、好適には10sccm、Heを40～80sccm、好適には50sccm、メチルヒドラジンを0.4～0.8sccm、好適には0.7sccm、及び、NH<sub>3</sub>を400～800sccm、好適には500sccm流し、成長室の圧力を50～200mTorr、好適には100mT

orrとし、基板温度を500~600℃、好適には600℃で90秒程度堆積させることによって100~500Å、好適には500Åのバリケータル層としてのCVD-TiN層16を堆積する。

【0025】なお、CVD-TiN層16は、スパッタリング法によるPVD-TiN層に置き換えても良く、段差被覆性の点でCVD-TiN層16に劣るものの、バリケータ特性はCVD-TiN層16より優れている。

【0026】図2(c)参照

次いで、キレシン系溶剤に独立分散したCu超微粒子をスピンコーターを用いて塗布してコンタクトホール15の内部に厚さ50~200Å、好適には100Åの均一なCu超微粒子塗布膜を形成したのち、250~300℃で10~15分、好適には300℃で15分間加熱処理を行ってCu薄膜17を形成する。

【0027】なお、この場合の超微粒子とは、直径が50~200Å、好適には約100Åの微粒子を意味し、超微粒子の直径に応じてシード層となるCu薄膜17の厚さが変化する。

【0028】図3(d)参照

次いで、H<sub>2</sub>を500sccm流して1Torrにした水素雰囲気中において、350~400℃で3~4分、好適には400℃で3分間加熱処理することによって、酸化されているCu薄膜17の表面を還元してCu薄膜18を形成する。なお、このCu薄膜18はCVD-Cu層を形成する際に、ブリカーサに対して電子を供給するシード層として機能する。

【0029】図3(e)参照

次いで、Cu薄膜18を形成したシリコン基板11を大気に晒すことなく、キャリアガスとしてのH<sub>2</sub>の流量を100~1000sccm、好適には500sccmとしてヘキサフルオロアセチルアセトナイトリメチルビニルシラン銅[hexafluoroacetylacetonate-trimethylvinylsilaneCu:Cu(hfac)TMVS]を0.1~1.0g/分、好適には0.3g/分供給し、基板温度を120~220℃、好適には160℃とし、成長室の圧力を1.00~5.00mTorr、好適には2.00mTorrにしたCVD法によって20分程度CVD-Cu層19を堆積させることによってコンタクトホール15を埋める。

【0030】図3(f)参照

次いで、スラリーとしてアルミナ粉末をベースとした化学機械研磨法を用い、200~300g/cm<sup>2</sup>、好適には250g/cm<sup>2</sup>の研磨圧力で、回転数50~100回転/分(rpm)、好適には50回転/分で、1~2分研磨して、CVD-Cu層19乃至TiN層16の不要部分、即ち、SiO<sub>2</sub>層14に設けたコンタクトホール15の高さ以上に堆積したCVD-Cu層19乃至TiN層16を除去して埋め込みCuコンタクト電極2

0を形成する。

【0031】この第1の実施の形態によれば、シード層を溶剤に独立分散させたCu超微粒子を塗布することによって形成しているため、コンタクトホール15内部を均一な厚さのCu薄膜18で被覆することができ、CVD-Cu層19の成長を再現性良く行うことができる。

【0032】また、CVD-Cu層19をパターンニングする必要がないので、選択性を有する適当なエッチングガスの存在しないCuを用いた場合にも、微細加工に何らの問題も生ずることがない。

【0033】次に、図4及び図5を参照して本発明の第2の実施の形態の形態の製造工程を説明する。

図4(a)及び(b)参照

先ず、第1の実施の形態の形態と同様に、シリコン基板11上に下地絶縁層となるSiO<sub>2</sub>層12及びW配線層13を介して堆積させた厚さ600nmのSiO<sub>2</sub>層14に幅が0.5μmで、深さが1μmのコンタクトホール15をW配線層13に達するように形成したのち、CVD法或いはスパッタリング法によってバリケータ層としてTiN層16を100~500Å、好適には500Å堆積させる。

【0034】図4(c)参照

次いで、キレシン系溶剤に独立分散したAu超微粒子を塗布してコンタクトホール15の内部に厚さ50~200Å、好適には100Åの均一なAu超微粒子塗布膜を形成したのち、250~300℃で10~15分、好適には300℃で15分間加熱処理を行ってAu薄膜21を形成する。なお、この場合のAu超微粒子も、直径が50~200Å、好適には約100Åの微粒子を意味し、また、このAu薄膜21はCVD-Cu層を形成する際に、ブリカーサに対して電子を供給するシード層として機能する。

【0035】図5(d)参照

次いで、キャリアガスとしてのH<sub>2</sub>の流量を100~1000sccm、好適には500sccmとしてCu(hfac)TMVSを0.1~1.0g/分、好適には0.3g/分供給し、基板温度を120~220℃、好適には160℃とし、成長室の圧力を1.00~5.00mTorr、好適には2.00mTorrにしたCVD法によって20分程度CVD-Cu層19を堆積させることによってコンタクトホール15を埋める。

【0036】図5(e)参照

次いで、スラリーとしてアルミナ粉末をベースとした化学機械研磨法を用い、200~300g/cm<sup>2</sup>、好適には250g/cm<sup>2</sup>の研磨圧力で、回転数50~100回転/分(rpm)、好適には50回転/分で、1~2分研磨して、CVD-Cu層19乃至TiN層16の不要部分、即ち、SiO<sub>2</sub>層14に設けたコンタクトホール15の高さ以上に堆積したCVD-Cu層19乃至TiN層16を除去して埋め込みCuコンタクト電極2

下層を形成することができ、低抵抗のCu埋め込み配線層或いはCuコンタクト電極を設けた半導体装置の信頼性を高め、且つ、スループットを向上することができる。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態の形態の途中までの製造工程の説明図である。

【図3】本発明の第1の実施の形態の図2以降の製造工程の説明図である。

【図4】本発明の第2の実施の形態の途中までの製造工程の説明図である。

【図5】本発明の第2の実施の形態の図4以降の製造工程の説明図である。

【図6】本発明の第3の実施の形態の途中までの製造工程の説明図である。

【図7】本発明の第3の実施の形態の図6以降の製造工程の説明図である。

【符号の説明】

1 半導体基板

\*2 下地絶縁層

3 配線層

4 絶縁層

5 凹部

6 バリヤメタル層

7 シード層

8 Cu層

11 シリコン基板

12 SiO<sub>2</sub>層

10 13 W配線層

14 SiO<sub>2</sub>層

15 コンタクトホール

16 TiN膜

17 Cu薄膜

18 Cu薄膜

19 CVD-Cu層

20 Cuコンタクト電極

21 Au薄膜

22 配線層用溝

\*20 23 Cu埋め込み配線層

【図1】

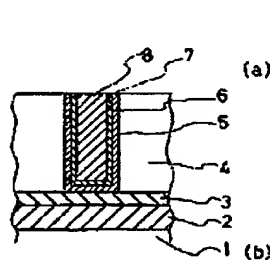
【図2】

【図3】

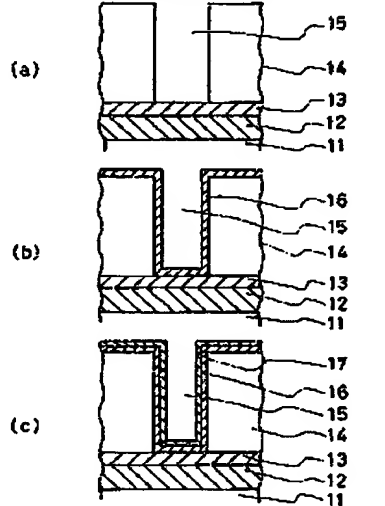
本発明の原理的構成の説明図

本発明の第1の実施の形態の途中までの製造工程の説明図

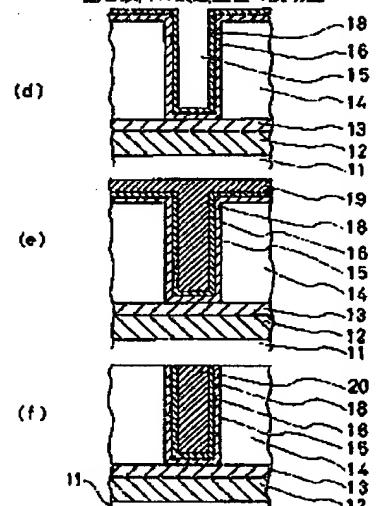
本発明の第1の実施の形態の図2以降の製造工程の説明図



1: 半導体基板  
2: 下地絶縁層  
3: 配線層  
4: 絶縁層  
5: 凹部  
6: バリヤメタル層  
7: シード層  
8: Cu層



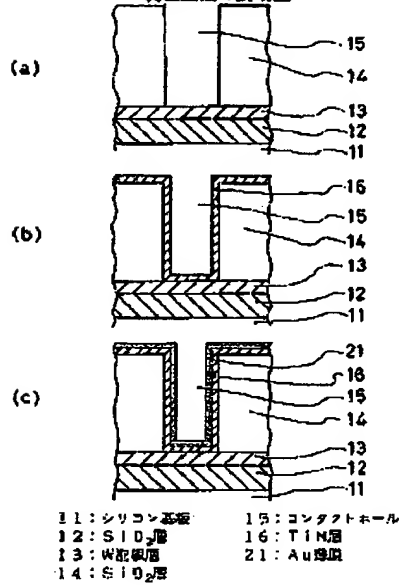
11: シリコン基板  
12: SiO<sub>2</sub>層  
13: W配線層  
14: SiO<sub>2</sub>層  
15: コンタクトホール  
16: TiN層  
17: Cu薄膜



11: シリコン基板  
12: SiO<sub>2</sub>層  
13: W配線層  
14: SiO<sub>2</sub>層  
15: コンタクトホール  
16: TiN層  
17: Cu薄膜  
18: Cu薄膜  
19: CVD-Cu層  
20: Cuコンタクト電極

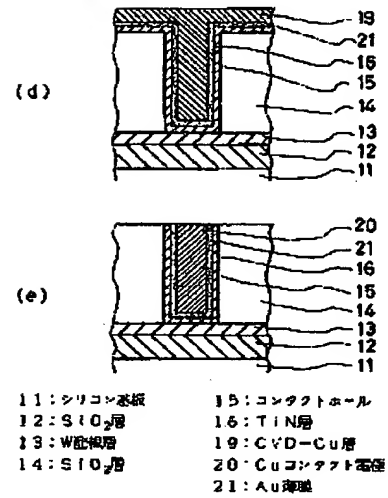
【図4】

本発明の第2の実施の形態の途中までの  
製造工程の説明図



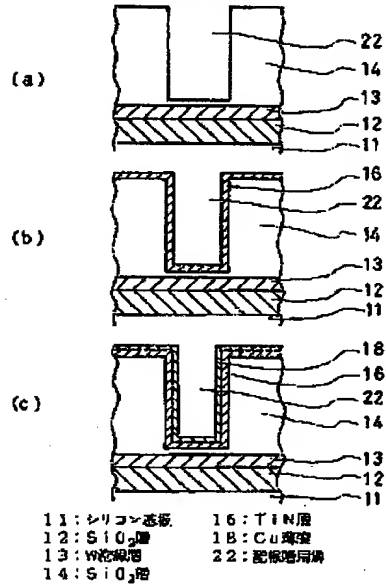
【図5】

本発明の第2の実施の形態の  
図4以降の製造工程の説明図



【図6】

本発明の第3の実施の形態の途中までの  
製造工程の説明図



【図7】

本発明の第3の実施の形態の  
図6以降の製造工程の説明図

